

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-091991

(43) Date of publication of application : 04.04.1997

(51) Int.Cl.

G11C 29/00
G06F 12/16

(21) Application number : 07-266183

(71) Applicant : HITACHI LTD

(22) Date of filing : 21.09.1995

(72) Inventor : SASAKI TOSHIO

AOKI MASAKAZU

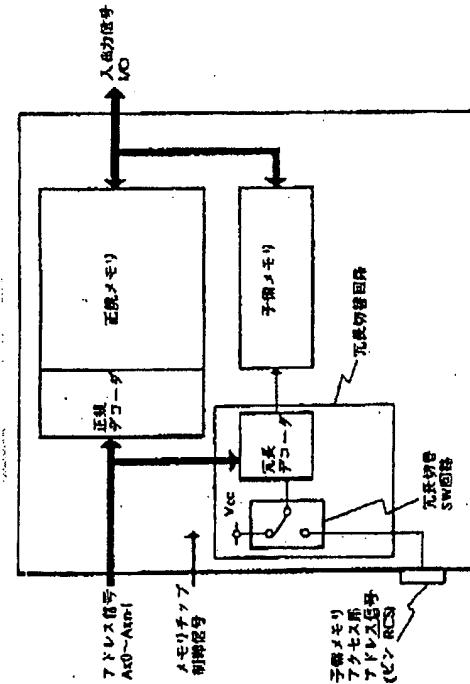
YANAGISAWA KAZUMASA

(54) MEMORY MODULE

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a memory module in which a memory chip including a defective bit can be used effectively.

SOLUTION: A single control semiconductor chip is mounted on a board along with a plurality of semiconductor chips each provided with a redundancy memory repair circuit for storing the defective address in a normal memory, detecting the corresponding memory access and making a switch to a preliminary memory, and validating a preliminary memory access signal fed from an external terminal when the preliminary memory is not filled through a redundant switching circuit thus getting access to the preliminary memory. Defective addresses which can not be repaired by the redundant repairing circuit are stored in a control semiconductor chip for a plurality of semiconductor chips and the memory access is detected for these defective addresses. A preliminary memory access signal is then fed to a preliminary memory not filled in another semiconductor chip thus getting access to the preliminary memory.



(19) 日本国特許序 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-91991

(43) 公開日 平成9年(1997)4月4日

(51) Int. Cl. ' 識別記号 序内整理番号 F I 標記表示箇所

G11C 29/00	301	G11C 29/00	301	B	
G06F 12/16	310	7623-58	G06F 12/16	310	P

審査請求 未請求 機求項の数3 FD (全7頁)

(21) 出願番号 特願平7-266183

(22) 出願日 平成7年(1995)9月21日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐々木 敏夫
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 青木 正和
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 柳沢 一正
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

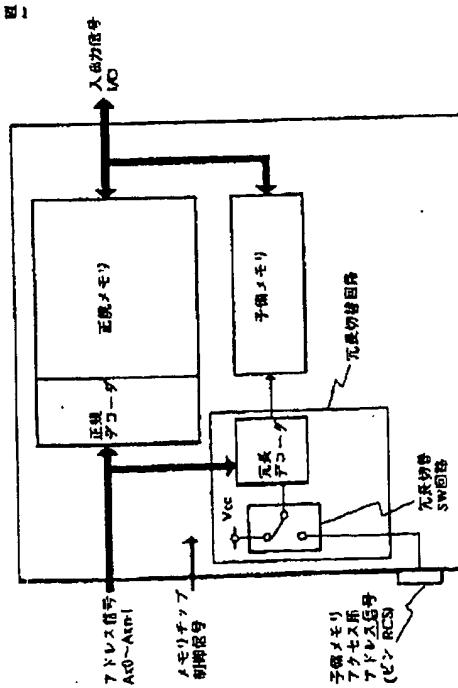
(74) 代理人 弁理士 徳若 光政

(54) 【発明の名称】メモリモジュール

(57) 【要約】 (修正有)

【課題】 欠陥ビットを含むメモリチップを有效地に使用できるようにする。

【解決手段】 正規メモリにおける不良アドレスを記憶し、それに対するメモリアクセスを検出して予備メモリに切り換えるとともに、冗長切り換え回路により予備メモリに余裕があるときに外部端子から供給された予備メモリアクセス信号を有効にして上記予備メモリに対するメモリアクセスを行う欠陥救済回路を設けた半導体チップの複数と1つの制御用半導体チップとを実装基板上に搭載し、上記制御用の半導体チップに複数の半導体チップのうち内蔵された欠陥救済回路により救済できない不良アドレスを記憶させ、かかる不良アドレスに対するメモリアクセスを検出し、他の半導体チップであって予備メモリに余裕があるものに予備メモリアクセス信号を供給してかかる予備メモリに対してメモリアクセスを行うようとする。



(2)

特開平9-91991

1

2

【特許請求の範囲】

【請求項 1】 正規メモリにおける不良アドレスを記憶し、かかる不良アドレスに対するメモリアクセスを検出して予備メモリに切り換えるとともに、冗長切り換え回路により予備メモリに余裕があるときに外部端子から供給された予備メモリアクセス用アドレス信号を有効にして上記予備メモリに対するメモリアクセスを行う欠陥救済回路を備えた半導体チップと、かかる半導体チップの複数と 1 つの制御回路を構成する半導体チップとを実装基板上に搭載してなり、上記制御回路に複数の半導体チップのうち内蔵された欠陥救済回路により救済できない不良アドレスを記憶させ、かかる不良アドレスに対するメモリアクセスを検出し、他の半導体チップであって予備メモリに余裕がある半導体チップに対して予備メモリアクセス用アドレス信号を供給してかかる予備メモリに対してメモリアクセスを行うようにしてなることを特徴とするメモリモジュール。

【請求項 2】 上記欠陥救済回路に設けられる冗長切り換え回路は、所定電圧と上記予備メモリアクセス用アドレス信号を切り換えて冗長デコーダに供給するものであり、冗長デコーダは、上記所定電圧が供給された状態では記憶された不良アドレスとの一致信号により予備メモリの選択信号を形成し、上記予備メモリアクセス信号が供給されると、かかる信号に対応して予備メモリの選択信号を発生させるものであることを特徴とする請求項 1 のメモリモジュール。

【請求項 3】 上記予備メモリは予備ワード線と予備データ線とを含み、各予備のワード線及び予備データ線に対応してそれぞれ上記冗長デコーダが設けられるものであり、上記予備メモリアクセス用アドレス信号は特定の 1 つの予備ワード線又は予備データ線に対応して設けられるものであることを特徴とする請求項 2 のメモリモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、メモリモジュールに関し、プリント基板あるいはメモリカード等の実装基板に複数のメモリチップが搭載されてなるものの欠陥救済技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】冗長回路を備えたメモリモジュールとして、特開平1-26929号公報がある。このメモリモジュールは、部分的に良品のメモリセルを有する正規メモリチップと、予備メモリチップとを備え、正規メモリの欠陥位置を記憶し、正規メモリと予備メモリのアドレスもしくは1/0信号を切り換える制御回路とで構成されている。これにより、これまで廃棄していた欠陥ビットを含むメモリチップを使用できるようにするものである。

【0003】

10

20

30

40

50

【発明が解決しようとする課題】上記メモリモジュールでは、半導体チップとして正規メモリチップと予備メモリチップを設け、更にその切り換えを行う制御回路を必要とする。このため、半導体チップ数が増加してしまうという問題がある。

【0004】この発明の目的は、簡単な構成により欠陥ビットを含むメモリチップを有効に使用できるようにしたメモリモジュールを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本発明において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、正規メモリにおける不良アドレスを記憶し、それに対するメモリアクセスを検出して予備メモリに切り換えるとともに、冗長切り換え回路により予備メモリに余裕があるときに外部端子から供給された予備メモリアクセス信号を有効にして上記予備メモリに対するメモリアクセスを行う欠陥救済回路を設けた半導体チップの複数と 1 つの制御用半導体チップとを実装基板上に搭載し、上記制御用の半導体チップに複数の半導体チップのうち内蔵された欠陥救済回路により救済できない不良アドレスを記憶させ、かかる不良アドレスに対するメモリアクセスを検出し、他の半導体チップであって予備メモリに余裕があるものに予備メモリアクセス信号を供給してかかる予備メモリに対してメモリアクセスを行う。

【0006】上記した手段によれば、欠陥ビットを含む半導体チップと内蔵の欠陥救済回路に余裕のあるものとを組み合わせて実装基板に搭載して、上記制御回路により上記半導体チップの欠陥救済を行うようにすることができる。

【0007】

【発明の実施の形態】図 1 には、この発明に係る半導体メモリチップの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により単結晶シリコンのような 1 個の半導体基板において形成される。半導体メモリチップは、スタティック型 RAM (ランダム・アクセス・メモリ) 、ダイナミック型 RAM、あるいは EEPROM 又はフラッシュ EEPROM 等のようなプログラマブル ROM (リード・オンリーメモリ) である。

【0008】この実施例の半導体メモリチップは、正規デコーダと正規メモリの他に、かかる正規メモリに発生した欠陥を救済するための予備メモリを備える。予備メモリは、正規メモリにおけるワード線とデータ線 (又はビット線) から構成される。かかる予備のワード線やデータ線は、1 本に限定されずそれが複数設けられる。同図には、正規メモリと予備メモリとが全く別々の回路として構成されているように描かれているが、実際

には予備メモリを構成する予備ワード線は、正規メモリのデータ線と交差して、その交点にメモリセルが設けられる。また、予備メモリを構成する予備のデータ線は、正規メモリのワード線と交差して、その交点にメモリセルが設けられる。

【0009】これにより、正規メモリの特定のワード線に断線等がある場合は勿論のこと、特定のワード線に接続される多数のメモリセルのうち1つのメモリセルにおいて欠陥があるときに、かかるワード線が予備のワード線に置き換える。同様に、正規メモリの特定のデータ線に断線等がある場合は勿論のこと、特定のデータ線に接続される多数のメモリセルのうち1つのメモリセルに欠陥があるときに、かかるデータ線が予備のデータ線に置き換える。上記欠陥のあるメモリセルは、ワード線とデータ線の交点に接続されものであるために、それを救済するために予備のワード線を用いてもよいし、予備のデータ線を用いるようにしてもよい。

【0010】正規メモリ及び予備メモリは、上記のようなワード線とデータ線及びその交点に設けられたメモリセルの他、必要に応じてセンサアンプ等が設けられる。例えば、ダイナミック型RAMにおいては、メモリセルのキャパシタに蓄積された電荷の形態で情報を記憶するものであるために、データ線には上記情報を増幅するためと、読み出しにより破壊されかかかった記憶電荷をもとの状態に戻すためのセンサアンプが設けられる。このようなセンサアンプも上記正規メモリ及び予備メモリに含まれるものである。また、読み出し動作の基準電圧は、データ線のハーフプリチャージ電圧とするものでは、プリチャージ回路も同様に含まれるものである。

【0011】正規デコーダは、上記正規メモリにおける1つのワード線と1つのデータ線を選択する。特に制限されないが、4ビットや8ビット等の複数ビット単位でのメモリアクセスを行うものでは、それぞれに応じて複数のワード線とデータ線とが1回のメモリアクセスにより選択されることはいうまでもない。冗長デコーダは、正規メモリにおける不良アドレスを記憶する記憶回路と、入力されたアドレス信号と上記記憶回路に記憶された不良アドレスとを比較するアドレス比較回路とを備えている。このアドレス比較回路により不良アドレスに対するメモリアクセスを検出すると、それに対応してワード線又はデータ線の選択信号を形成する。このとき、上記検出信号により正規メモリのワード線又はデータ線の選択動作が無効にされる。

【0012】この実施例では、冗長デコーダに対して、同一チップに搭載された正規メモリに対する欠陥救済か、他の半導体メモリチップの救済に用いるかを切り替える冗長切替SW回路が設けられる。この冗長切替SW回路は、予備メモリ全体に対応した冗長デコーダの機能を一括して決定するというものではない。この実施例のように外部から供給される予備メモリアクセス用アドレ

ス信号が1つ設けられる場合、複数からなる予備ワード線及び予備データ線のうち、予め決められた少なくとも1本の予備ワード線又は予備データ線の選択信号を形成するデコーダに一对一に対応して設けられる。

【0013】上記冗長デコーダは、冗長切替SW回路により電源電圧Vccが供給された状態では、それに記憶された不良アドレスの欠陥救済に用いられる。つまり、冗長切替SW回路により電源電圧Vccを供給させるようにしたものは、予備メモリが正規メモリにおける欠陥救済に全て用いられている状態を示している。予備メモリのうちの予備ワード線及び予備データ線が正規メモリの欠陥救済に用いられるときには、上記冗長切替SW回路に対応された予備ワード線又は予備データ線を除いた予備ワード線又は予備データ線を使用するようされる。

【0014】上記冗長デコーダは、冗長切替SW回路により予備メモリアクセス信号を選択した状態では、それに対応した予備ワード線又は予備データ線が正規メモリの欠陥救済に用いられなかったときに対応される。つまり、この状態は、別の半導体チップの欠陥救済が可能なりチップとしてマーキング等の区別がされる。このことに対応して、内蔵の予備メモリでは正規メモリの欠陥救済が完全には行えずに未だ未救済のワード線又はデータ線を含む半導体チップは、欠陥ワード線数又はデータ線数が判るようなマーキングが行われるようにされる。

【0015】図2には、上記半導体メモリチップに設けられた予備メモリの欠陥救済形態を説明する概念図が示されている。冗長デコーダ側からみた信号/RCSがハイレベルとき、すなわち上記冗長切替SW回路により電源電圧Vccが定常的に供給された状態では、それに対応した冗長デコーダはオンチップの救済とされる。つまり、アドレス信号と不良アドレスとを比較して一致したら正規メモリの不良ワード線又はデータ線の選択動作を禁止するとともに、予備メモリの予備ワード線又は予備データ線の選択を行うようする。

【0016】冗長デコーダ側からみた信号/RCSがロウレベルとき、すなわち上記冗長切替SW回路により外部端子側に接続され、かかる外部端子からロウレベルの信号/RCSが供給されると、外部チップの欠陥救済のために用いられる。この場合、信号/RCSにより選択されるのは予備ワード線又は予備データ線であるので、それに接続されたメモリセルを選択するためには同じく正規メモリもアクセスさせられる。つまり、信号/RCSは、上記冗長デコーダの選択動作を指示すると同時に、かかる半導体メモリをチップセレクト状態にして上記予備ワード線に接続されたメモリセルを選択するための正規デコーダのアドレス選択動作も合わせて行うようになる。

【0017】図3には、この発明に係るメモリモジュールの一実施例の全体ブロック図が示されている。同図の各回路ブロックは、それぞれが1つの半導体チップない

し半導体集積回路装置により構成される。例えば、メモリカードではペアチップが実装基板に搭載されて全体として一体的に封止される。これに対して、プリント基板に搭載される場合には、それぞれが1つの半導体集積回路装置である。

【0018】実装基板上に2列に配置されたメモリチップM00～M0k-1と、M10～M1k-1は、アドレスバス及びI/Oバスに対して並列に接続される。この他、必要に応じて、ロウアドレスストローブ信号、カラムアドレスストローブ信号、あるいはチップセレクト信号、ライトイネーブル信号、出カイネーブル信号等の制御信号が供給される制御バスが設けられている。

【0019】上記のようなメモリチップの他に、予備メモリ制御部（以下、単に制御回路という）が設けられる。この制御回路は、メモリモジュールとしての不良アドレスの記憶と、そのアドレス比較動作を行う比較検出回路ならびに予備メモリアクセス用アドレス信号を生成する機能を持つようになる。例えば、メモリチップM00において、内蔵の予備メモリを全て使用して欠陥救済を行い、未だ未救済の不良ワード線が存在する場合には、その不良アドレスが上記制御回路に記憶される。この場合、上記メモリチップM00に対応したチップアドレスと内部アドレスの両方が記憶される。メモリチップM01の予備メモリに予備ワード線又は予備データ線が余っているときには、上記のように冗長切替SW回路により、その冗長デコーダが外部用に切替えられている。したがって、上記制御回路においては、メモリチップM00の不良ワード線の救済を、メモリチップM01の予備ワード線を用いて行うようにするため、上記不良アドレスの検出信号によりメモリチップM01の予備メモリアクセス用アドレス信号/RCS01を発生させる。

【0020】なお、メモリチップM00に対する不良アドレスへのアクセスを禁止するために、特に制限されないが、上記端子/RCS00を用いることができる。つまり、上記のような冗長切替SW回路により、端子/RCS00は実質的に空き状態にされる。このことを利用して、上記メモリチップM00の不良アドレスに対するアクセス検出信号により、信号/RCS00をハイレベルにしてメモリアクセスを禁止する。このメモリアクセスの禁止は、出力が競合しなければよいので出力動作を無効にすること、言い換えるならば、I/O出力回路のハイインピーダンス状態に制御するようにすればよい。つまり、ライト動作のときには、不良メモリチップM00と救済用のメモリチップM01の両方に同じライトデータを入力するようにしてよい。

【0021】以下、同様に制御回路において、不良ワード線又はデータ線が残っているメモリチップと、予備ワード線又は予備データ線が残っているメモリチップとを組み合わせて上記同様に欠陥救済を行うようにすることができる。この実施例では、上記のような不良アドレス

の記憶及びアドレス比較及びそれに対応した制御信号出力機能を持つ小規模の半導体チップを搭載するという簡単な構成で、従来は廃棄されていた半導体チップを有効に使用することができる。

【0022】図4には、この発明に係るメモリモジュールの一実施例の外観図が示されている。プリント基板等の実装基板に正規メモリが片面に設けられる。この正規メモリは、上記のような予備メモリを内蔵しつつ、冗長切替SW回路により予備メモリの外部使用を可能とするものである。このような正規メモリは、実装基板の両面に設けるようにして、小さなサイズで大きな記憶容量を持つようにしてよい。例えば、図3の実施例において、第1列目M00～M0k-1は、表面に実装し、第2列目M10～M1k-1は裏面に実装するようにしてもよい。

【0023】上記の実装基板に制御回路を構成する半導体集積回路装置が搭載され、上記図3の実施例のような回路ブロックが構成され、正規メモリにおいて不良ワード線又は不良データ線が残っているものを、他の正規メモリの予備メモリを用いて救済するようになる。上記実装基板には、メモリモジュールとしての外部端子（コネクタ）が設けられる。コンピュータシステム内のメモリ格納部におけるメモリ部のメモリボード用スロット上に上記メモリモジュールのコネクタを差し込むようになる。

【0024】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（1）正規メモリにおける不良アドレスを記憶し、それに対するメモリアクセスを検出して予備メモリに切り換えるとともに、冗長切り換え回路により予備メモリに余裕があるときに外部端子から供給された予備メモリアクセス用アドレス信号を有効にして上記予備メモリに対するメモリアクセスを行う欠陥救済回路を設けた半導体チップの複数と1つの制御用半導体チップとを実装基板上に搭載し、上記制御用の半導体チップに複数の半導体チップのうち内蔵された欠陥救済回路により救済できない不良アドレスを記憶させ、かかる不良アドレスに対するメモリアクセスを検出し、他の半導体チップであって予備メモリに余裕があるものに予備メモリアクセス用アドレス信号を供給してかかる予備メモリに対してメモリアクセスを行うようにすることにより、欠陥ビットを含む半導体チップと内蔵の欠陥救済回路に余裕のあるものとを組み合わせて有効利用することができるという効果が得られる。

【0025】（2）上記欠陥救済回路に設けられる冗長切り換え回路は所定電圧と上記予備メモリアクセス用アドレス信号を切り換えて冗長デコーダに供給し、冗長デコーダは上記所定電位が供給された状態では記憶された不良アドレスとの一致信号により予備メモリの選択信号を形成し、上記予備メモリアクセス信号が供給される

(5)

特開平9-91991

8

と、かかる信号に対応して予備メモリの選択信号を発生させるように両方に活用できるという効果が得られる。

【0026】(3) 上記予備メモリは予備ワード線と予備データ線とを含み、各予備のワード線及び予備データ線に対応してそれぞれ上記冗長デコーダが設けられるものであり、上記予備メモリアクセス用アドレス信号は特定の1つの予備ワード線又は予備データ線に対応して設けるようにすることにより、内部の回路の簡素化を図ることができるという効果が得られる。

【0027】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、制御回路は、EEPROMを記憶素子として用いて不良アドレスを記憶するようにしてもよい。この他、ヒューズの切断の有無により不良アドレスを記憶させるものであってよい。不良とされたメモリチップのメモリアクセスを無効にする手段は、上記のような予備メモリアクセス用アドレス信号を利用するもの他、チップセレクト信号の発生を禁止するようにするものであってよい。つまり、制御回路においてシステムアドレスからチップセレクト(ロウアドレスストローブ、カラムアドレスストローブ)信号を発生させる機能を持たせ、不良アドレスに対するメモリアクセスを検出したときには、それに不良メモリチップのチップセレクト信号の発生をコントロールするようすればよい。さらに、制御回路は欠陥救済以外の他の機能を持つ回路と併用して用いてもよい。この発明は、メモリモジュールとして広く利用できる。

【0028】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、正規メモリにおける不良アドレスを記憶し、それに対するメモリアクセスを検出して予備メモリに切り換えるとともに、冗長切り換え回路により予備メモリに余裕があるときに外部端子から供給された予備メモリアクセス用アドレス信号を有効にして上記予備メモリに対するメモリアクセスを行う欠陥救済

10

回路を設けた半導体チップの複数と1つの制御用半導体チップとを実装基板上に搭載し、上記制御用の半導体チップに複数の半導体チップのうち内蔵された欠陥救済回路により救済できない不良アドレスを記憶させ、かかる不良アドレスに対するメモリアクセスを検出し、他の半導体チップであって予備メモリに余裕があるものに予備メモリアクセス用アドレス信号を供給してかかる予備メモリに対してメモリアクセスを行うようにすることにより、欠陥ビットを含む半導体チップと内蔵の欠陥救済回路に余裕のあるものと組み合わせて有効利用することができる。

【0029】上記欠陥救済回路に設けられる冗長切り換え回路は所定電圧と上記予備メモリアクセス用アドレス信号を切り換えて冗長デコーダに供給し、かかる冗長デコーダは上記所定電位が供給された状態では記憶された不良アドレスとの一致信号により予備メモリの選択信号を形成し、上記予備メモリアクセス信号が供給されると、かかる信号に対応して予備メモリの選択信号を発生させるように両方に活用できる。

20

【0030】上記予備メモリは予備ワード線と予備データ線とを含み、各予備のワード線及び予備データ線に対応してそれぞれ上記冗長デコーダが設けられるものであり、上記予備メモリアクセス用アドレス信号は特定の1つの予備ワード線又は予備データ線に対応して設けるようにすることにより、内部の回路の簡素化を図ることができる。

【図面の簡単な説明】

【図1】この発明に係る半導体メモリチップの一実施例を示すブロック図である。

【図2】図1の半導体メモリチップに設けられた予備メモリの欠陥救済形態を説明する概念図である。

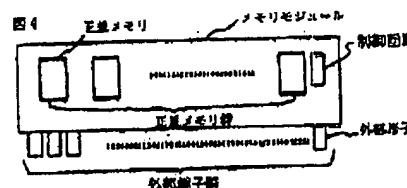
【図3】この発明に係るメモリモジュールの一実施例を示す全体ブロック図である。

【図4】この発明に係るメモリモジュールの一実施例を示す外観図である。

【符号の説明】

M00～M1k-1…メモリチップ。

【図4】



(6)

特開平9-91991

【図1】

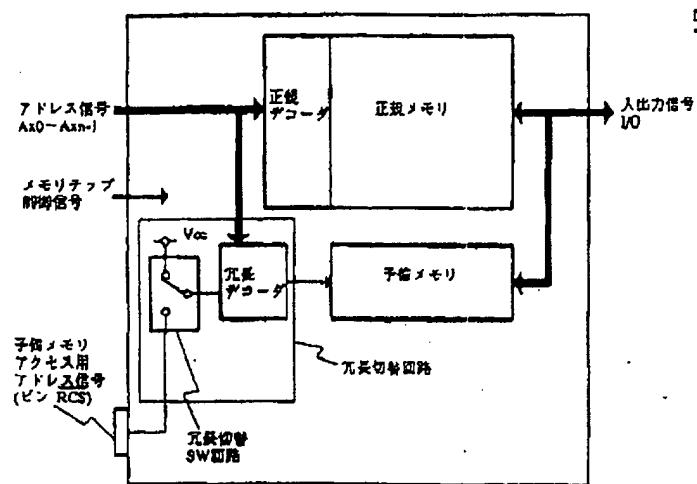


図1

【図2】

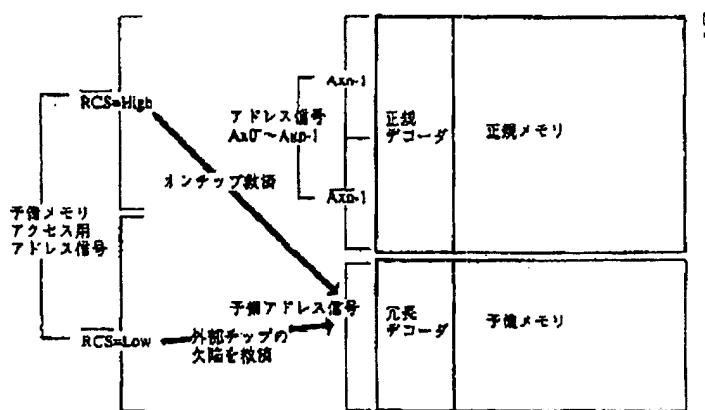


図2

(7)

特開平9-91991

[図3]

図3

